



Attorney Docket No.: 8040-1052

PATENT

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: KUBOTA et al.
Appl. No.: 10/763,244
Filed: January 26, 2004
For: MANUFACTURING METHOD OF SEMICONDUCTOR
DEVICE AND OXIDIZATION METHOD OF
SEMICONDUCTOR SUBSTRATE

L E T T E R

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Date: April 2, 2004

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-16968	January 27, 2003

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG & THOMPSON

By Benoît Castel

Benoît Castel, #35,041
745 South 23rd Street, Suite 200
Arlington, Virginia 22202
(703) 521-2297

BC/psf

Attachment

US

日本国特許庁
JAPAN PATENT OFFICE

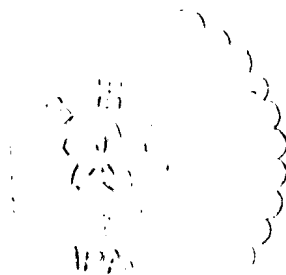
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月27日
Date of Application:

出願番号 特願2003-016968
Application Number:
[ST. 10/C]: [JP 2003-016968]

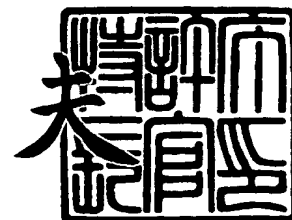
出願人 エルピーダメモリ株式会社
Applicant(s):



2004年 1月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3108173

【書類名】 特許願

【整理番号】 22310257

【提出日】 平成15年 1月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/31

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
株式会社内

【氏名】 久保田 大志

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
株式会社内

【氏名】 北村 義裕

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
株式会社内

【氏名】 大橋 拓夫

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
株式会社内

【氏名】 櫻井 進

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
株式会社内

【氏名】 神田 隆行

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
株式会社内

【氏名】 堀部 晋一

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0110118

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法及び半導体基板の酸化方法

【特許請求の範囲】

【請求項 1】 半導体領域にエッチングによりトレンチを形成し、当該トレンチ内に絶縁物を充填した S T I 領域を有する半導体装置の製造方法において、ジクロロエチレン（D C E）を用意する工程と、前記トレンチ内を前記ジクロロエチレンによりハロゲン酸化し、当該ハロゲン酸化により前記トレンチの開口上端部に隣接する半導体領域のコーナー部の角度を、ハロゲン酸化される前に比較して丸める工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 において、前記ジクロロエチレンによるハロゲン酸化により、前記トレンチ内には、前記トレンチの開口上端部から前記トレンチの底部まで、漸次薄くなるような絶縁膜が形成されることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 又は 2 において、酸素雰囲気中の前記ジクロロエチレンの濃度は、重量％で、0.45％から 1.97％の範囲にあることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、前記ハロゲン酸化後、前記トレンチ内に、絶縁物を充填する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 5】 半導体領域にエッチングによりトレンチを形成し、当該トレンチ内に絶縁物を充填した S T I 領域を有する半導体基板の酸化方法において、ジクロロエチレン（D C E）を用意する工程と、前記トレンチ内を前記ジクロロエチレンによりハロゲン酸化し、当該ハロゲン酸化により前記トレンチの開口上端部に隣接する半導体領域のコーナー部における酸化膜の厚さを他のトレンチ内酸化膜の厚さよりも厚くする工程とを有することを特徴とする半導体基板の酸化方法。

【請求項 6】 請求項 5 において、キャリアガスとして窒素を使用し、当該窒素によりバブリングすることによって前記ジクロロエチレンを気化させた後、酸素と共に、前記トレンチを形成した半導体基板を収容した炉内に導入する工程

を有し、前記炉内酸素雰囲気中の前記ジクロロエチレンの含有量は前記炉内に導入される酸素の重量と、前記バブリングにより炉内に導入される D C E との間の重量%によって決定されることを特徴とする半導体基板の酸化方法。

【請求項 7】 請求項 6 において、前記窒素の流量に対する前記酸素の流量の割合を示す前記重量%は、0.45～1.97%の範囲にあることを特徴とする半導体基板の酸化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、S T I (shallow Trench Isolation) エッジを備えた半導体装置の製造方法に関し、更に、半導体基板内に形成されたトレンチを酸化する方法に関する。

【0002】

【従来の技術】

従来、D R A M等の半導体装置では、シリコン基板の一表面に、S T I 技術を使用して、絶縁物を充填されたトレンチによって囲まれた素子領域を形成し、当該素子領域内に、ソース及びドレイン領域を有するM O S トランジスタが形成されると共に、これら素子領域上に、ゲート電極、キャパシタ、配線層が形成されている。このような半導体装置を製造する場合、シリコン基板に形成されたトレンチに絶縁物を充填することによってS T I 領域を形成した後、トレンチ近傍のシリコン基板上に残っている絶縁膜を除去し、トレンチ近傍の半導体基板上にゲート酸化膜及びゲート電極が形成される。このような半導体装置は、トレンチに充填された絶縁膜上に、隣接する領域から、ゲート電極が延在するパターンを有する構成を有している。

【0003】

前述した半導体装置は、S T I 領域のエッジがゲート絶縁膜及びゲート電極に隣接した構成となる。このような構成の半導体装置のT Z D B (Time Zero Dielectric Breakdown) 特性を評価すると、6 n mの厚さを有するゲート絶縁膜では、8 V以下の電圧（即ち、13.3 M V / c m以下の電界強度）で絶縁破壊

が多々生じることが判明した。一方、STIエッジを有していないパターンでは、上記した電圧を印加しても、TZDB特性の絶縁破壊が発生しないことから、絶縁破壊はSTIエッジに起因しているものと推測された。

【0004】

この推測の下に、STIエッジを鋭意観測すると、トレンチ内に残されている絶縁膜のうち、トレンチのエッジを形成する部分が絶縁膜の他の部分に比較して薄くなっていることが観測された。

【0005】

そこで、トレンチ及び絶縁膜の形成方法について検討を行った。この場合、トレンチはシリコン基板をSTIドライエッチによってエッチングすることによって形成され、また、トレンチ内に埋設される絶縁物は、上記エッチング及び洗浄工程後、水素と酸素を燃焼させて生成した水分によってトレンチ内部を酸化すること、及び、CVD酸化膜によって形成されていた。

【0006】

一方、特開2000-269499（以下、引用文献1と呼ぶ）では、PチャネルパワーMOSFETのトレンチ上部コーナーに被着されたゲート酸化膜が、平坦部またはトレンチ側壁における厚さよりも薄くなることが指摘されている。更に、薄くなったコーナー部の酸化膜に対して、電界が集中してゲート絶縁膜の絶縁破壊が生じることとも指摘されている。

【0007】

このようなゲート絶縁膜の絶縁破壊を防止するために、引用文献1は、トレンチのコーナー部に位置するゲート絶縁膜の膜厚をトレンチの他の部分の膜厚よりも厚くしたMOSFETを提案している。また、引用文献1は、コーナー部に膜厚の厚いゲート絶縁膜を形成するために、トレンチのコーナー部に隣接するシリコン基板領域における不純物濃度を他の部分に於ける不純物濃度よりも局部的に高濃度にすることを開示している。このように、高濃度の不純物を含む領域をRIE (Reactive Ion Etching) によりエッチングし、トレンチを形成し、当該トレンチを塩酸希釈酸化法によりゲート酸化膜を形成した場合、高濃度に不純物を含む領域には、約2倍程度の厚さを有する酸化膜が形成されることを指摘して

いる（0031段落）。

【0008】

次に、特開平6-267938号公報（以下、引用文献2と呼ぶ）には、シリコン基板に高品質のシリコン酸化膜を形成するために、酸化性雰囲気、2～8重量%のトランス1,2ジクロロエチレンを添加する酸化膜形成方法が記載されている。この方法では、トランス1,2ジクロロエチレンを添加することにより、重金属及びアルカリイオン等の不純物をゲッターリングできることが示されている。

【0009】

更に、特開昭63-316440号公報（以下、引用文献3と呼ぶ）には、シリコン基板にリアクティブイオンエッチングによってトレンチを形成する際、エッチングガスとして、塩素と酸素の混合ガスを使用することによって、四塩化炭素等のように、炭素を含むガスによるエッチングにおいて、炭素の析出によって生じていたトレンチの底荒れ、側壁荒れ等を防止できることが開示されている。

【0010】

また、特開平11-274288号公報（以下、引用文献4と呼ぶ）には、トレンチに隣接した活性領域に生じる角部に対する電界集中を防止するために、活性領域の端部を丸めること（0006段落）が記載されている。更に、引用文献4は、活性領域、及び、トレンチに隣接した酸化膜領域の鋭角形状部分を無くするために、活性領域端の角部を丸めると共に、多結晶シリコン膜側への這い上がりを持たせるために熱酸化を行うことを提案している。この場合、トレンチ及び活性領域には、バズビーク状に突出した突出部分を有するシリコン酸化膜が形成され、この突出部分の下側に活性領域の角部が位置付けられ、その上面側において角部より内側に後退する丸くえぐられた凹部が形成されている（0022段落）。また、引用文献4は、トレンチ及び活性領域上にバズビーク状のシリコン酸化膜を形成する方法として、1100℃のドライ酸化を用いること、及び、1000℃以上、例えば、1100℃のHCl酸化を使用できることも開示している（0023段落）。

【0011】

【特許文献1】

特開 2000-269499 号公報 (0031 段落)

【0012】

【特許文献2】

特開平 6-267938 号公報

【0013】

【特許文献3】

特開昭 63-316440 号公報

【0014】

【特許文献4】

特開平 11-274288 号公報

【0015】

【発明が解決しようとする課題】

ここで、引用文献 1～4 を更に検討すると、引用文献 1 は、P チャネルパワー MOSFET を製造する方法を開示しているだけで、深さの浅い STI 領域を有する MOS トランジスタについては何等検討されていない。即ち、引用文献 1 は、深いトレンチを備えた MOSFET において、トレンチのコーナー部に近い領域だけに高濃度の不純物領域を形成した後、この高濃度不純物領域上に厚いゲート酸化膜を塩酸希釈酸化法によって形成し、これによって、トレンチのコーナー部に厚い酸化膜を形成できることを明らかにしている。換言すれば、引用文献 1 はトレンチコーナー部の不純物濃度と塩酸希釈酸化法との組み合わせによって、コーナー部に厚い酸化膜を設ける方法を開示している。

【0016】

このことから明らかな通り、引用文献 1 は、高濃度不純物領域を形成できない程度に、トレンチの深さが浅い場合の酸化膜形成方法及び不純物濃度の高い領域を使用しないで、局部的に厚い酸化膜を形成する方法について、何等示唆していない。

【0017】

更に、引用文献 2 は、トランス 1, 2 ジクロロエチレンを使用した酸化膜形成

方法を開示しているだけで、トレンチを形成した場合、酸化膜の一部のみを局部的に厚くする方法については、何等、指摘していない。また、引用文献2では、0.5～1.4 nmの膜厚を有する自然酸化膜を除去し、更に、高品質のシリコン酸化膜を形成するために、酸化雰囲気中のジクロロエチレンの含有量を2.0～14重量%にすることが提案されているが、トレンチ内部に形成された酸化膜については、何等、検討されていない。

【0018】

また、引用文献3は、炭素を含むガスによるエッチングでトレンチを形成した場合の欠点を除去するために、炭素を含むガスの代わりに、塩素及び酸素ガスによってエッチングすることによってトレンチを形成する方法を開示している。このエッチングの際、トレンチ側壁には、二酸化シリコンを主成分とする堆積物が堆積され、当該堆積物はフッ酸により除去されている（第3頁、上段右欄及び下段左欄）。しかし、引用文献3は、塩素及び酸素ガスによってトレンチを形成し、堆積物を除去した後における処理について言及していない。特に、引用文献3は、炭素を含むガスの代わりに、塩素及び酸素ガスによる酸化膜形成を提案しており、例えば、ジクロロエチレン（DCE）等のように、炭素を含む場合における解決法については全く開示していない。

【0019】

次に、引用文献4は素子領域の上部位置における角部を酸化によって丸くすること、及び、トレンチ内に熱酸化によって素子領域表面よりも突出したシリコン酸化膜を埋込むことを提案している。しかしながら、引用文献4は、一回の酸化膜の形成によって局部的に厚さの異なる酸化膜を形成する方法及びSTI領域内部における酸化膜の膜厚の変化について指摘されていないし、また、HCl酸化の濃度等、酸化膜形成に必要な条件については、何等、記載されていない。

【0020】

本発明の目的は、一回の酸化によって意図的に局部的に厚さの異なる酸化膜を形成する半導体装置の製造方法を提供することである。

【0021】

本発明の具体的な目的は、STI領域を備えた構成の半導体装置に適用して、

当該 S T I 領域の存在によって生じる T Z D B 特性の劣化の原因を究明し、T Z D B 特性を改善できる半導体装置の製造方法を提供することである。

【0022】

本発明の他の目的は、ゲート絶縁膜に 15 MV/cm 以上の電界強度の電界が印加されても絶縁破壊の生じない S T I 領域を備えた半導体装置の製造方法を提供することである。

【0023】

本発明の更に他の目的は、トレンチ内壁に酸化膜を形成した場合、トレンチ上部のコーナー部における酸化膜の角度をなだらかにし、この結果、半導体領域のコーナー部を丸くすることができる半導体基板の酸化方法を提供することである。

【0024】

【課題を解決するための手段】

本発明の一態様によれば、半導体領域にエッチングによりトレンチを形成し、当該トレンチ内に絶縁物を充填した S T I 領域を有する半導体装置の製造方法において、ジクロロエチレン (D C E) を用意する工程と、前記トレンチ内を前記ジクロロエチレンによりハロゲン酸化し、当該ハロゲン酸化により前記トレンチの開口上端部に隣接する半導体領域のコーナー部の角度を、ハロゲン酸化される前に比較して丸める工程とを有することを特徴とする半導体装置の製造方法が得られる。

【0025】

本発明の別の態様によれば、前記ジクロロエチレンによるハロゲン酸化により、前記トレンチ内には、前記トレンチの開口上端部から前記トレンチの底部まで、漸次薄くなるような絶縁膜が形成されることを特徴とする半導体装置の製造方法が得られる。

【0026】

本発明の更に他の態様によれば、前記ジクロロエチレンの酸素雰囲気中における濃度は、重量%で 0.45% から 1.97% の範囲にあることを特徴とする半導体装置の製造方法が得られる。

【0027】

本発明の別の態様によれば、前記ハロゲン酸化後、前記トレンチ内に、絶縁物を充填する工程を含むことを特徴とする半導体装置の製造方法が得られる。

【0028】

本発明の更に他の態様によれば、半導体領域にエッチングによりトレンチを形成し、当該トレンチ内に絶縁物を充填したSTI領域を有する半導体基板の酸化方法において、ジクロロエチレン（DCE）を用意する工程と、前記トレンチ内を前記ジクロロエチレンによりハロゲン酸化し、当該ハロゲン酸化により前記トレンチの開口上端部（即ち、開口エッジ）に隣接する半導体領域のコーナー部における酸化膜の厚さをトレンチ内の他の部分の酸化膜の厚さよりも厚くする工程とを有することを特徴とする半導体基板の酸化方法が得られる。

【0029】

更に、本発明の態様によれば、キャリアガスとして窒素を使用し、当該窒素によりバブリングすることによって前記ジクロロエチレン（DCE）を気化させた後、酸素と共に、前記トレンチを形成した半導体基板を収容した炉内に導入する工程を有し、前記炉内酸素雰囲気中の前記ジクロロエチレンの含有量は前記炉内に導入される酸素の重量と、前記バブリングにより炉内に導入されるDCEの重量との間の重量%によって決定されることを特徴とする半導体基板の酸化方法が得られる。この場合、前記酸素の重量と前記DCEの重量との割合を示す前記重量%は、0.45%～1.97%の範囲にあることが好ましい。

【0030】

【発明の実施の形態】

図1乃至図7を参照して、本発明の一実施の形態に係る半導体装置の製造方法を工程順に説明する。ここでは、半導体装置としてDRAMを製造する場合を例にとって説明する。図1を参照すると、シリコン基板20上に、シリコン酸化膜21及びシリコン窒化膜22が順次、通常の手法により形成されている。

【0031】

次に、図2に示されているように、これらシリコン窒化膜22及び酸化膜22は、トレンチを形成すべき領域をマスク（図示せず）によって被覆した後、ホト

リソグラフィ技術及びドライエッチング技術を用いて選択的にエッチングされ、素子領域上のシリコン窒化膜 22 及びシリコン酸化膜 21 だけがシリコン基板 20 上に残され、シリコン基板 20 の表面は、素子領域とトレンチを形成する領域とに区分される。

【0032】

この状態で、図 3 に示すように、シリコン基板 20 表面のシリコン酸化膜 21 及びシリコン窒化膜 22 をマスクとして、シリコン基板 20 が、例えば、250 nm の深さだけ、例えば、ドライエッチによりエッチングされ、トレンチ形成領域にトレンチ 30 が形成され、洗浄を行う。図示されているように、トレンチ 30 は、底部 30a と当該底部を挟む側壁部 30b とを有している。

【0033】

続いて、図 4 に示すように、トレンチ 30 の底部 30a 及び側壁部 30b には、本発明に係る酸化膜形成法によって、シリコン酸化膜 31 が形成される。本発明に係る酸化膜形成法については、後述する。

【0034】

以下、図 5 に示されているように、露出したシリコン酸化膜 31 及びシリコン窒化膜 22 の全面に、CVD により、例えば、800 nm の厚さのシリコン酸化膜（プラズマ酸化膜）32 が形成され、続いて、図 6 に示すように、化学機械的研磨（CMP）によりシリコン窒化膜 22 が露出するまで、プラズマ酸化膜 32 を研磨し、次に、図 7 に示されているように、シリコン窒化膜 22 を除去する。プラズマ酸化膜 32 及びシリコン酸化膜 31 は STI 領域を形成しており、これによって、素子絶縁領域が形成されることになる。

【0035】

以後、通常の手法により、素子領域上のシリコン酸化膜 21 を除去して、当該素子領域内に、ゲート絶縁膜、ソース領域、ドレイン領域等を形成すると共に、ゲート電極、ワード線、キャパシタ等を形成して、DRAM を形成する。

【0036】

ここで、図 4 に示された工程において、従来の酸化方法が使用された場合について説明する。従来の酸化方法として、例えば、水素と酸素とを燃焼させて生成

された水分による酸化方法が使用された場合、ウェット雰囲気で、図 8 に示すように、シリコン酸化膜 31a が形成された。ウェット雰囲気で形成されたシリコン酸化膜 31a は、図 8 に示すように、トレンチ 30 の側壁部 30b の中央部において厚く、トレンチ 30 の側壁部 30b の上端に位置する上部コーナー部 31b において薄くなることが判明した。言い換えると、シリコン酸化膜 31a は、トレンチ 30 の上端に位置する上部コーナー部分 31b において、シリコン基板 20 の表面に対して略垂直な角度を有している。このような形状を有するシリコン酸化膜 31a の応力を測定すると、上部コーナー部 31b における応力が大きいことが分かった。

【0037】

更に、図 8 に示すように、略垂直な角度を有するシリコン酸化膜 31a を形成した状態で、図 5 ～図 7 と同様な工程を経て、厚さ 6 nm のゲート酸化膜を有するトランジスタを製作した。このようにして製作されたトランジスタの T Z D B 特性を測定すると、8 V 以下の電圧（即ち、 13.3 MV/cm の電界強度）から絶縁破壊が発生した。これは、シリコン酸化膜 31a（図 8）の上部コーナー部分 31b における応力が大きくなると、以後に形成されるゲート酸化膜が均一に形成できず、この結果、不良率が上昇するためであると推測される。

【0038】

一方、S T I 領域におけるエッジを有しないパターンの場合、6 nm の厚さのゲート酸化膜に対して 9 V 以上の電圧を印加したとき、即ち、電界強度 15 MV/cm の電界を印加したとき、絶縁破壊が発生することから、本発明は S T I 領域エッジの無いパターンと同じ程度の T Z D B 特性を実現できる D R A M を製作することを企図している。まず、絶縁電圧の低下は、S T I 領域のコーナー部分に重金属汚染によって生じるものと仮定して、種々の酸化法を試行した。その結果、ジクロロエチレン（D C E）によるハロゲン酸化によるトレンチ 30 内壁酸化が最も特性を改善できた。しかしながら、重金属汚染を評価したところ、ハロゲン酸化を行う前の段階で、重金属汚染は既に低レベルになっており、ハロゲン酸化では、重金属の除去は実際には行われないことが判明した。言い換えれば、上記特性の改善は、ハロゲン酸化の重金属除去効果によるものではなく、ハロゲ

ン酸化による別の効果によるものであることを意味している。

【0039】

この点を考慮して、更に検討を加えた結果、DCEによるハロゲン酸化をトレンチ30内壁に適用した場合、ハロゲン酸化によってトレンチ30内壁に形成されたシリコン酸化膜31は、図4～図7に概略的に示された断面を持ち、図8に示されたシリコン酸化膜31aとは明らかに異なる断面を有していることが判明した。

【0040】

更に、図9を用いて、シリコン酸化膜31の断面を具体的に説明すると、ジクロロエチレン（DCE）によるハロゲン酸化で形成されたシリコン酸化膜31は、トレンチ30内壁30bの上部コーナー部分36において厚く、トレンチ30の底部30bに行く程薄くなっていることが分かった。このような構造のシリコン酸化膜30を形成した場合、シリコン酸化膜31の上部コーナー部分36に対応するシリコン基板20のエッジ部分は、その表面に対し90°より大きい角度（鈍角）を有し、この結果、シリコン基板20のエッジ部分の角度は丸くなっていることが判明した。即ち、ハロゲン酸化を施した場合、トレンチ30の上部コーナー部分36において、局部的にシリコン酸化膜31を厚くすることができることが分かった。例えば、半導体基板20のコーナー部分（エッジ部分）におけるシリコン基板20の角度は、95°～98°の範囲になり、ハロゲン酸化を行う前に比較して、角度が丸められていることが確認された。

【0041】

更に、前述した断面形状を備えたシリコン酸化膜30は、トレンチ30の上部コーナー部分36においても、水素と酸素とを燃焼させて生成したシリコン酸化膜31a（図8）に比較して低い応力を有していた。

【0042】

これらの実験結果から、STI領域コーナー部分におけるシリコン酸化膜の絶縁破壊特性は、シリコン酸化膜31の応力が局部的に高くなる部分で劣化するものと推測される。本発明は、ハロゲン酸化を行った場合、小さい応力を有し、形状的にも応力を低減できる形状を有するシリコン酸化膜31を形成できるという

知見に基づいている。この結果、ゲート酸化を行った場合、STI領域の上部コーナー部まで均一で欠陥のできないゲート酸化膜が形成できた。

【0043】

図10を参照すると、本発明の一実施形態に係る製造方法に使用されるシステムが示されている。図示されているように、当該システムは、反応炉41及びバブラー42とを備え、バブラー42内には、液体のジクロロエチレン(DCE)($C_2H_2Cl_2$)が充填されている。バブラー42は、実際には図示されない恒温槽内に設置されており、キャリアガスとして窒素ガス(N_2)が当該バブラー42内に供給される一方、反応炉41には、複数のシリコン基板が挿入されている。図示された反応炉41内には、複数のシリコン基板が水平且つ平行に配置されている。

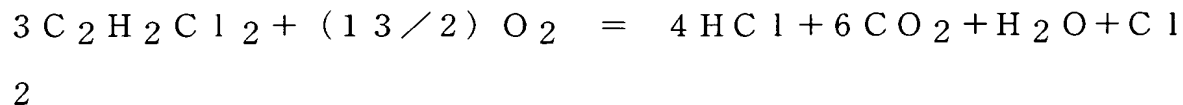
【0044】

当該反応炉41内には、酸素ガス(O_2)が導入されると共に、キャリアガスによるバブリングによって気化されたDCEがバブラー42から供給されている。図示された例では、酸素ガス及び気化されたDCEは、反応炉41の直前で混合され、反応炉41内に導入されている。

【0045】

次に、図示された例における反応炉41内で行われるハロゲン酸化について説明する。図10からも明らかなように、反応炉41には、直接酸素が導入されると共に、バブラー42において窒素によるバブリングによって気化されたDCEが導入されている。この状態で、反応炉41内において以下の反応が生じる。

【0046】



この反応において、右辺の酸化種(H_2O)によりシリコンの酸化が生じる。本発明は、上式で示されるハロゲン酸化をトレンチ30の内壁酸化に適用して、低い応力を有すると共に、トレンチ30のコーナー部分36において局部的に厚いシリコン酸化膜を形成できることを確認した。ここで、本発明の一実施形態におけるハロゲン酸化を更に詳細に説明する。まず、反応炉41内は、 $850^{\circ}C$ ～

950℃の温度範囲内に加熱され、加熱された反応炉41内に、酸素及びバブラー42によって気化されたDCEが導入される。上式からも明らかなように、反応炉41では、酸素の存在下でDCEとの反応によりハロゲン酸化が行われる。

【0047】

次に、上記した特性及び形状を有するシリコン酸化膜31を得るために必要なハロゲン酸化の条件を説明する。ハロゲン酸化によって形成されるシリコン酸化膜は、酸素雰囲気中におけるDCE濃度によって変化する。本発明者等の実験では、反応炉41に導入される酸素の重量と、DCEをバブリングにより反応炉41内に導入されるDCEの重量とから得られるDCEの重量%とを制御因子として使用した。実験では、酸素の流量が20slmの時、酸素の重量は、28.57gであり、バブリング用の窒素を200sccmの流量で流したときに、反応炉41内には、433mgのDCEが導入され、この時、好ましい特性及び形状を有するシリコン酸化膜を得ることができた。この場合におけるDCEの重量%は、 $0.443 / 28.57 (= 0.015)$ となり、1.5%であった。尚、上記した条件をバブリング用の窒素と酸素との関係を流量%であらわすと、 $0.2 / 20 (= 0.01)$ となり、1%であった。

【0048】

更に、酸素及び窒素の流量を変化させることによりDCE濃度の重量%と不良率(%)との関係、及び、DCE濃度の重量%と上部コーナー部での応力(MPa)との関係を調べ、DCE濃度の適正な範囲を求めた。

【0049】

図11を参照すると、DCE濃度(重量%)と、15MV/cmでTZDBを行った場合における不良率(%)との関係が示されている。図からも明らかな通り、DCE濃度が重量%で0.15～0.375%の範囲では、不良率が20～18%と高く、0.45%になると不良率が5%以下になっている。このことから、DCE濃度を重量%で0.45%以上にすることが必要であることが分かる。

【0050】

他方、図12を参照すると、DCE濃度(重量%)と上部コーナー部における応力との関係が示されており、図11と同様に、DCE濃度が重量%で0.375

%以下の場合、応力が150 MPa以上と非常に高く、0.375%を越えると、応力は急激に低下して50 MPa以下になっていることが分かる。これらの図からも、DCE濃度を重量で0.45%以上にすることが必要であることが分かる。

【0051】

一方、DRAMを構成する電界効果トランジスタの特性を考慮すると、良好なトランジスタ特性を達成するためには、ゲート閾値電圧 (V_{th}) とドレイン電流 (I_d) との関係をあらかず特性にハンプが生じないようにすることが要求される。ハンプは閾値電圧により評価することができる。この場合、例えば、2 V以上の閾値電圧を有するトランジスタが良好なトランジスタであると言える。

【0052】

図13を参照すると、閾値電圧 (V_{th}) とDCE濃度 (重量%) との関係が示されている。図からも明らかな通り、DCE濃度が1.97重量%を越えると、閾値電圧 (V_{th}) は急激に低下して、1.5 Vより低くなる。この結果から、DCE濃度は、1.97重量%を越えないことが望ましい。換言すると、DCE濃度が1.97重量%を越えると、ハンプが現われることを意味している。これは、1.97重量%よりDCE濃度が高くなると、STI内壁の酸化膜中に塩素が残留し、この塩素が電荷として作用するためであると推測される。

【0053】

図11乃至13からも明らかな通り、DCE濃度が、重量%で0.45%~1.97%の範囲において所望の特性及び形状を備えた本発明に係るシリコン酸化膜が得られることが分かる。即ち、DCE濃度が重量%で0.45%より低下した状態で形成されたシリコン酸化膜は、15 MV/cmでTZDB特性を測定した場合における不良率が10%を越えてしまうと共に、上部コーナ一部における応力が100 MPa以上となってしまう、当該シリコン酸化膜を用いたDRAMの不良率が高くなってしまう。他方、DCE濃度が重量%で1.97%を越えると、所望の閾値電圧を有するトランジスタが得られなくなってしまうことが確認された。

【0054】

以上説明した実施形態では、本発明をシリコン酸化膜の形成に適用した場合について説明したが、本発明は何等これに限定されることなく、他の半導体材料に形成されたトレンチの内壁に酸化膜を形成する場合にも適用でき、DRAM以外の半導体装置を製造する場合にも同様に適用できる。

【0055】

【発明の効果】

本発明によれば、DCE濃度を適切に選択した酸素雰囲気中でハロゲン酸化によって、酸化膜を形成することにより、トレンチ内壁のコーナー部における応力が小さく、且つ、このコーナー部における膜厚も、他の部分の膜厚よりも厚い酸化膜を形成できる。このような酸化膜を形成した場合、半導体装置のTZDB特性を改善できると共に、半導体装置の不良率を低下することができる。

【図面の簡単な説明】

【図1】

本発明の一実施形態に係る半導体装置の製造方法を説明するために使用される断面図であり、ここでは、製造工程のうちの一工程が示されている。

【図2】

図1に続く工程を説明するための断面図である。

【図3】

図3の工程の後に行われるトレンチ作成工程を説明する断面図である。

【図4】

図3の工程で作成されたトレンチ内部にシリコン酸化膜を形成する工程を説明する断面図である。

【図5】

図4の工程以後に行われる工程を説明する断面図である。

【図6】

図5に示された工程後に行われる工程を説明する断面図である。

【図7】

図6に示された工程の後に行われる工程を説明する断面図である。

【図8】

従来の酸化法によって形成された酸化膜を説明する図である。

【図 9】

本発明の酸化法によって形成された酸化膜を説明する図である。

【図 1 0】

本発明の一実施形態に係る半導体装置の製造方法に使用されるシステムを説明する概略構成図である。

【図 1 1】

本発明に係る酸化法による効果を説明するグラフであり、ここでは、D C E 濃度（重量％）と不良率（％）との関係を示している。

【図 1 2】

本発明に係る酸化法による効果を説明するもう一つのグラフであり、ここでは、D C E 濃度（重量％）と応力との関係を示している。

【図 1 3】

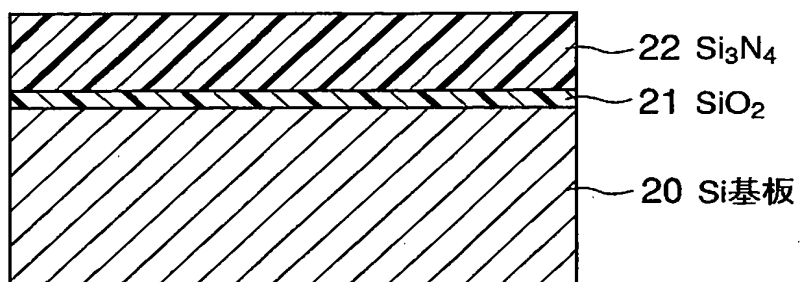
本発明に係る酸化法による効果を説明するグラフであり、ここでは、閾値電圧（ V_{th} ）と D C E 濃度（重量％）との関係を示している。

【符号の説明】

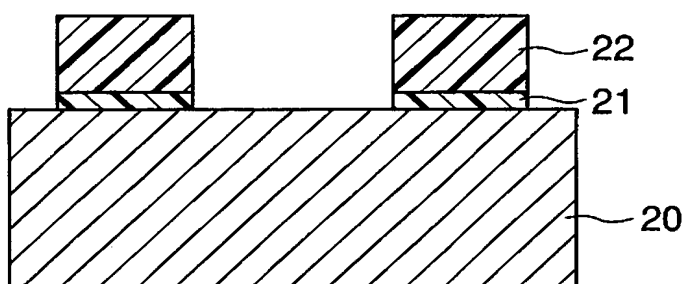
2 0	シリコン基板
2 1	シリコン酸化膜
2 2	シリコン窒化膜
3 0	トレンチ
3 0 a	トレンチ底部
3 0 b	トレンチ側壁
3 1	シリコン酸化膜
3 2	プラズマ酸化膜

【書類名】 図面

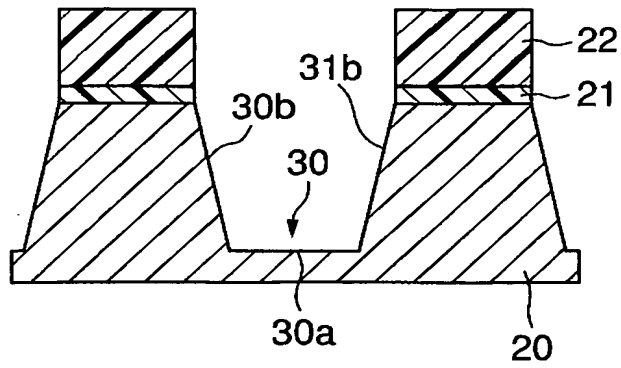
【図 1】



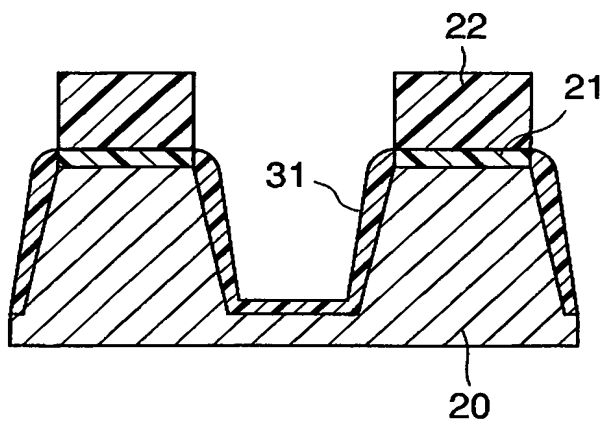
【図 2】



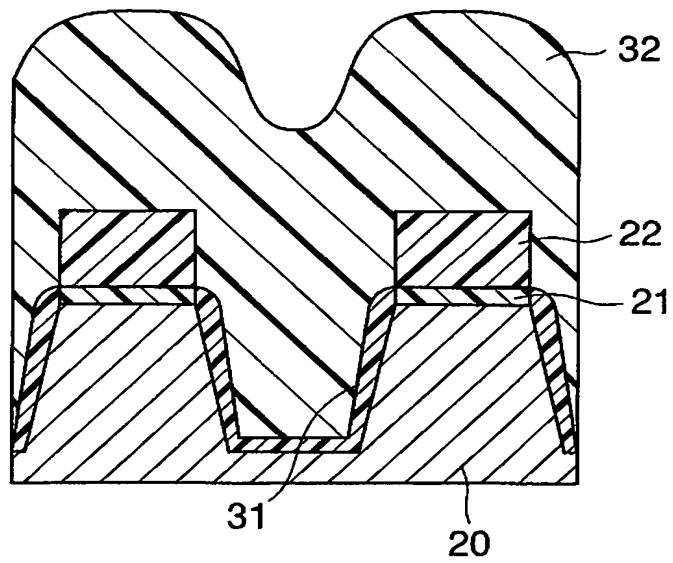
【図 3】



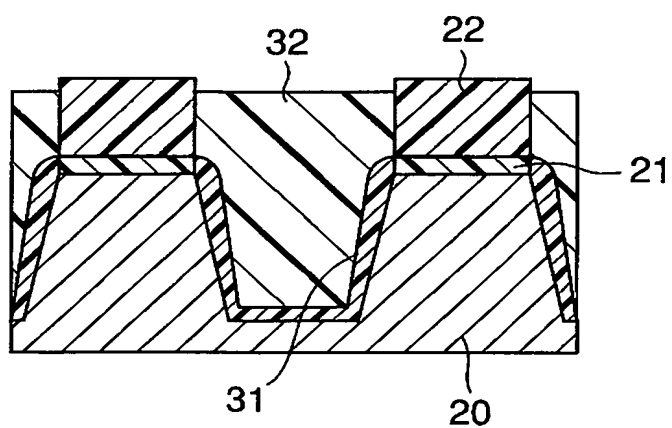
【図 4】



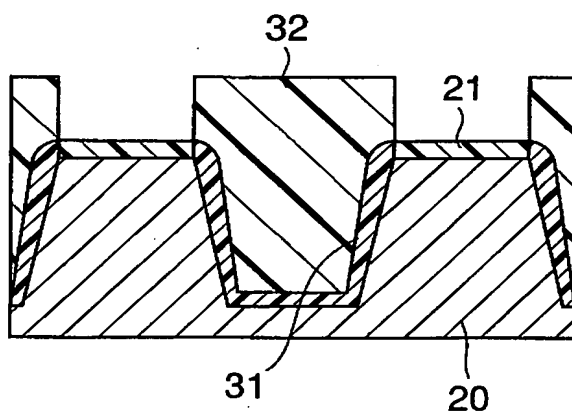
【図 5】



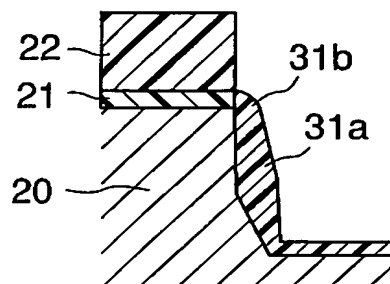
【図 6】



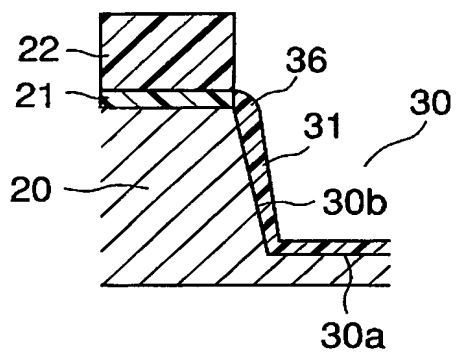
【図 7】



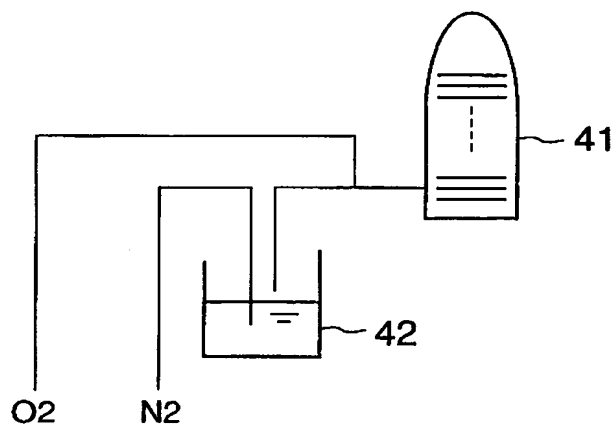
【図 8】



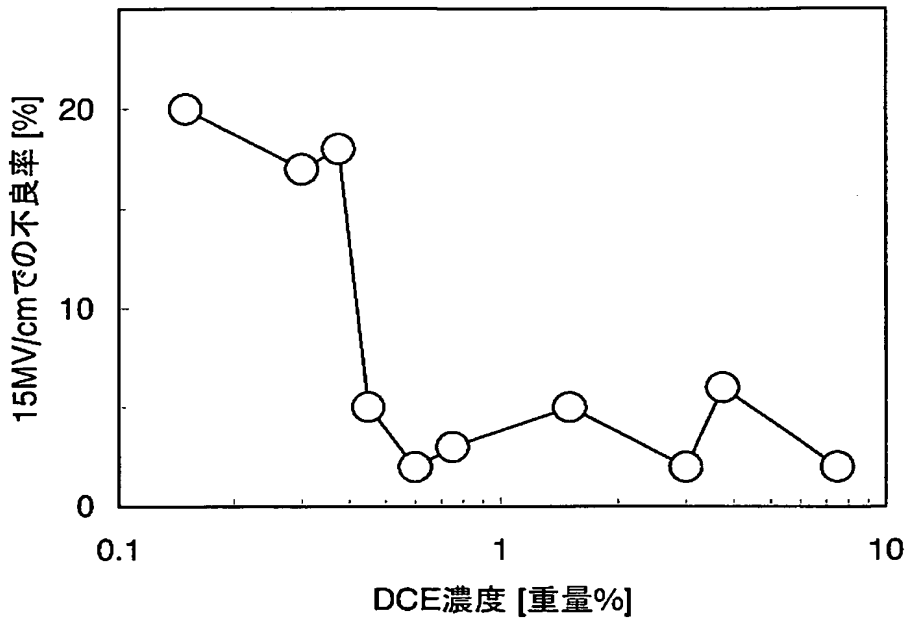
【図 9】



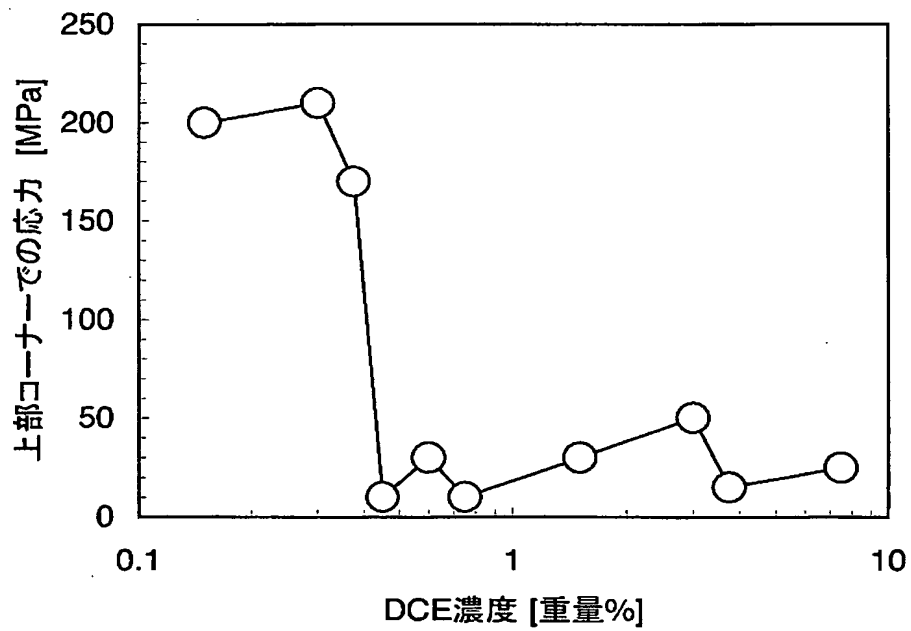
【図 10】



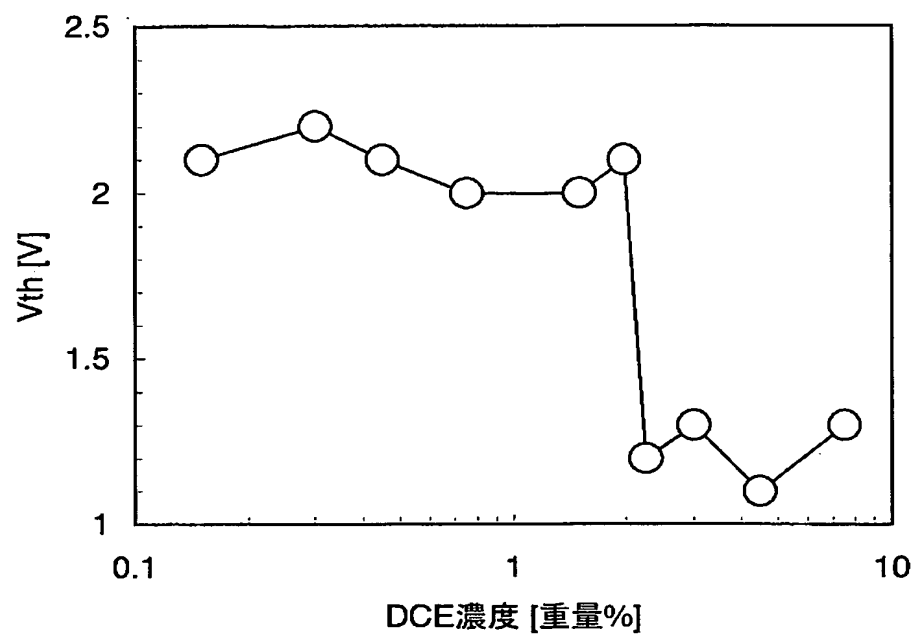
【図 1 1】



【図 1 2】



【図 13】



【書類名】 要約書

【要約】

【課題】 トレンチを有する半導体装置の製造方法において、トレンチのコーナ一部分に、他の部分よりも厚く、応力において小さい酸化膜を形成する方法を提供する。

【解決手段】 半導体基板に形成されたトレンチを酸化する際、ジクロロエチレンを所定の重量％で含む酸素雰囲気中で、酸化することにより、トレンチのコーナ部分における厚さが他の部分の厚さよりも厚い酸化膜を形成することができ、これによって、絶縁破壊特性を改善した半導体装置を得ることができる。

【選択図】 図9

特願 2003-016968

出願人履歴情報

識別番号

[500174247]

1. 変更年月日

2000年 7月12日

[変更理由]

名称変更

住 所

東京都中央区八重洲2-2-1

氏 名

エルピーダメモリ株式会社